



**DEPARTAMENTO:** Engenharia Elétrica e Eletrônica  
**CURSO:** Graduação de Engenharia Elétrica e Eletrônica  
**DISCIPLINA:** Introdução à Microeletrônica  
**CÓDIGO:** EEL7120  
**CRÉDITOS:** 04  
**CARGA HORÁRIA:** 72 horas-aula  
**OFERTA:** 12 vagas

**VALIDADE:** 2020/1

**AUTORES:** Prof. Carlos Renato Rambo <carlos.rambo@ufsc.br>, Prof<sup>a</sup> Janaina Guimarães <janaina.guimaraes@ufsc.br>, Prof. Hector Pettenghi Roldan <hector@eel.ufsc.br>

## OBJETIVOS:

A disciplina objetiva introduzir os fundamentos das etapas principais dos processos de fabricação de circuitos integrados, bem como metodologias de projeto, dispositivos e circuitos digitais. Ao final do curso, o aluno deverá estar apto a compreender, de maneira geral, o domínio da Microeletrônica no contexto das nano- e micro-tecnologias emergentes da Eletrônica.

## EMENTA:

**Parte 1:** Introdução; Princípios de Cristalografia; Defeitos cristalinos; Difusão; Oxidação térmica do silício; Implantação iônica; Deposição de filmes (Czochralski, MBE, MOCVD, PVD, LPE e sol-gel); Fotolitografia; Processos de fabricação MOS e bipolar. Atualização: Lei de Moore e tecnologias emergentes.

**Parte 2:** Visão geral do processo de fabricação, *Layout* de componentes passivos; *Layout* de transistores; Regras de projeto; *Layout* de células básicas analógicas e digitais; *Layout* de células mistas; *Floorplanning*; Metodologias de projeto digital.

**Parte 3:** Transistores MOS, CMOS, Elementos de tecnologia, Introdução à álgebra de Boole, Funções Lógicas, Quadros de *Karnaugh*, Agrupamento de minitermos e maxitermos, Introdução aos circuitos combinatórios, Tempos de propagação, Descodificadores e multiplexadores, Somadores e subtratores, Multiplicadores e divisores, *Latches*, *Flip-Flops*, Caracterização temporal, Contadores, Registradores, Síntese de circuitos sequenciais, Circuito de Dados e Circuito de Controle, Controle por ROM, Controle por ROM com endereçamento explícito.

**Metodologia:** A disciplina está organizada em 3 partes, cada bloco com aulas teóricas e de laboratório de duas horas.

### Parte 1:

Aulas teóricas com provas após cada módulo de aula.



Parte 2:

Aulas teóricas e aula práticas em ferramentas computacionais dedicadas ao desenvolvimento de *layouts* de circuitos integrados.

Parte 3:

Aulas teóricas: Explicação teórica e resolução de questões no quadro;

Aulas de laboratório: Síntese de projeto em VHDL e análise de performance em ASIC e FPGA. Os projetos serão implementados na placa FPGA DE2 usando a ferramenta Quartus II, para ver a funcionalidade de algumas unidades aritméticas.

Prova Final: Na última aula será dedicada para a realização de uma prova relativa à parte teórica da terceira parte da disciplina.

**Pré-requisitos:** EEL7061- Eletrônica I

**CONTEÚDO PROGRAMÁTICO:**

As aulas vão ser lecionadas nas segundas feiras 2.0820-2 e 2.1010-2 na sala LABSDG da seguinte forma.

**Parte 1:**

Aula 1 – Introdução

Aula 2 – Cristalografia/Defeitos (2h) / Difusão/Oxidação (2h)

Aula 3 – Processos/Deposição (2h) / Prova 1 (2h)

Aula 4 – Microfabricação (2h) / Prova 2 (2h)

Aula 5 – Atualização (2h) / Prova 3 (2h)

**Parte 2:**

Aula 1 – Visão geral do processo e Layout de componentes passivos e transistores (2h)

Aula 2 – Regras de projeto (2h)

Aula 3 – Layout de células básicas analógicas, digitais e células mistas (2h)

Aula 4 – *Floorplanning* e Projeto Digital (2h)

Prática 1 (2h)

Prática 2 (2h)

Prática 3 (2h)

Trabalho final (2h)

**Parte 3:**

Aula 0 – Introdução, portas lógicas em CMOS (2h)

Aula 1 – Álgebra de *Boole* (2h)

Aula 2 – Circuitos combinatórios (2h)

Aula 3 – *Latches*, *Flip-Flops* e temporização (2h)

Aula 4 – Máquinas de Estado (2h)

Laboratório 0: Introdução a VHDL e síntese em ASIC/FPGA (2h)

Laboratório 1: Projeto VHDL (2h)

Laboratório 2: Projeto VHDL (2h)

Laboratório 3: Avaliação projeto VHDL (2h)

Prova Final. (2h)



## **BIBLIOGRAFIA:**

### **• BÁSICA:**

- Stephen A. Campbell, Fabrication Engineering at the micro- and nanoscale, Third Edition, Oxford, 2008
- Richard C. Jaeger, Introduction to Microelectronic Fabrication, Second Edition, Prentice Hall, Upper Saddle River, NJ, 2002.
- William D. Callister Jr., Ciência e Engenharia de Materiais - Uma Introdução, Ed.: LTC, 7ª ed., 2008.
- Charles Kittel, Introdução à Física do Estado Sólido, Ed.: LTC, 8ª ed., 2006.
- R. Jacob Baker, Harry W. Li and David E. Boyce. CMOS Circuit Design, Layout, and Simulation. IEEE Press Series on Microelectronics Systems
- Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011. Disponível na biblioteca.
- Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1a ed., Porto Alegre: Bookman, 2008 ISBN 978-85-7780-190-9. Disponível na biblioteca.

### **• COMPLEMENTAR:**

- Guilherme Arroz, José Monteiro, e Arlindo Oliveira, "Introdução à Arquitectura de Computadores", IST Press, 2009.
- CMOS VLSI Design: A Circuits and Systems Perspective", Neil Weste e David Harris, Pearson 2004 (terceira edição).



**AValiação:** A nota final da disciplina será dada pela fórmula:

$$\mathbf{MS = média(Parte1 + Parte2 + Parte3)}$$

onde:

**MS** = Média do Semestre

**Parte1** = Nota da Primeira Parte da disciplina. A nota final da primeira parte da disciplina será a média aritmética de três provas (P1, P2 e P3). A nota final da primeira parte será calculada, então, da seguinte forma:

$$\text{Parte1} = (P1 + P2 + P3)/3$$

**Parte2** = Nota da Segunda Parte da disciplina. A nota final da segunda parte da disciplina será baseada na avaliação de três trabalhos computacionais (T1, T2 e T3) que serão desenvolvidos em sala de aula, e um Trabalho Final (TF) que deverá ser entregue em data a combinar. A nota final da segunda parte será calculada da seguinte forma:

$$\text{Parte2} = 0,1*T1 + 0,15*T2 + 0,15*T3 + 0,6*TF$$

**Parte3** = Nota da Terceira parte da disciplina. A nota final desta terceira parte da disciplina é determinada pela nota da prova a ser realizada na última aula (70%) e a nota dum projeto em VHDL (30%). Haverá prova de substituição para alunos com falta justificada na data da prova.

A média do semestre (**MS**) é a média das três partes (Parte1, Parte2, Parte3) arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações ,25 e ,75). Os alunos com **MS** maior ou igual a **6,0** e frequência mínima nas aulas de **75%** serão aprovados.

Condições para a aprovação:

- Sem avaliação final: [frequência >= 75%] e [MS >= 6,0].

**CRONOGRAMA:**

**Parte 1:**

<b>Dia</b>	<b>Segunda 08:20h</b>	<b>Segunda 10:10h</b>
<b>09 Março</b>	<b>Aula 0: Introdução</b>	<b>Aula 0: Introdução</b>
<b>16 Março</b>	<b>Aula 1: Cristalografia/Defeitos</b>	<b>Aula 2: Difusão/Oxidação</b>
<b>30 Março</b>	<b>Aula 3: Processos/Deposição</b>	<b>Prova 1 (P1)</b>
<b>06 Abril</b>	<b>Aula 4: Microfabricação</b>	<b>Prova 2 (P1)</b>
<b>13 Abril</b>	<b>Aula 5: Tecnologias Emergentes</b>	<b>Prova 3 (P1)</b>

**Parte 2:**

<b>Dia</b>	<b>Segunda 08:20h</b>	<b>Segunda 10:10h</b>
<b>27 Abril</b>	<b>Aula 1: Visão geral do processo e layout de componentes passivos e transistores</b>	<b>Trabalho 1 (T1)</b>
<b>4 Maio</b>	<b>Aula 2: Regras de projeto</b>	<b>Trabalho 2 (T2)</b>
<b>11 Maio</b>	<b>Aula 3: Layout de células básicas analógicas, digitais e células mistas;</b>	<b>Trabalho 3 (T3)</b>
<b>18 Maio</b>	<b>Aula 4: Floorplanning e Projeto Digital</b>	<b>Trabalho final (TF)</b>

**Parte 3:**

<b>Dia</b>	<b>Segunda 08:20h</b>	<b>Segunda 10:10h</b>
<b>25 Maio</b>	<b>Aula 0: Introdução, portas lógicas em CMOS</b>	<b>Aula 1: Álgebra de Boole</b>
<b>1 Junho</b>	<b>Aula 2: Circuitos combinatorios</b>	<b>Aula 3: Latches, Flip-Flops e temporização</b>
<b>8 Junho</b>	<b>Aula 4: Maquinas de Estado</b>	<b>Intro: VHDL e síntese em ASIC/FPGA</b>
<b>15 Junho</b>	<b>VHDL</b>	<b>VHDL</b>
<b>22 Junho</b>	<b>Entrega VHDL e revisão problemas</b>	<b>Prova Final</b>