



**PLANO DE ENSINO 2020.2 <sup>1</sup>**

**I. IDENTIFICAÇÃO DA DISCIPLINA:**

CÓDIGO	NOME DA DISCIPLINA	HORAS-AULA SEMANAIS		HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
EEL7123	<i>Tópico Avançado em sistemas Digitais</i>	2	2	72 horas

**II. PROFESSOR(ES) MINISTRANTE(S)**

Prof. Hector Pettenghi <hector@eel.ufsc.br>

**III. PRÉ-REQUISITO(S) (Código(s) e nome da(s) disciplina(s))**

**IV. CURSOS PARA OS QUAIS A DISCIPLINA É OFERECIDA**

(235) Engenharia Eletrônica

**V. EMENTA**

Sistemas de numeração alternativos úteis no projeto de unidades aritméticas; Algoritmos e metodologias para projetar circuitos aritméticos básicos e de elevado desempenho; Aplicação de circuitos aritméticos a funcionalidades práticas; Implementação de processadores baseados em aritmética computacional usando linguagens de descrição de hardware VHDL.

**VI. OBJETIVOS**

O foco da disciplina consiste na interpretação das múltiplas possibilidades para abordar uma operação aritmética (soma/subtração, multiplicação e divisão) e a escolha dependendo da aplicação alvo. Além disso serão usados varias formas de representação numérica para a otimização dos algoritmos a ser implementados.

**VII. CONTEÚDO PROGRAMÁTICO**

A disciplina vai seguir os *slides* do livro "Computer Arithmetic: Algorithms and Hardware Designs" de B. Parhami até capítulo 12.

As aulas vão ser lecionadas em função de cada capítulo do livro da seguinte forma.

**Bloco 1: Representação numérica**

Apresentação (2h)

Aula Capítulo 4.1: Sistemas de numeração residual. (2h)

Aula Problemas Capítulo 4 (2h)

Aula Capítulo 4.2: Sistemas de numeração residual. (2h)

Aula Problemas Capítulo 4.2(2h)

Laboratório Intro VHDL combinacional. (2h)

Laboratório 1\_RNS: Implementação conversor binário a numeração residual. (2h)

Laboratório 2\_RNS: Implementação conversor em numeração residual a binário. (2h)

Laboratório 3\_RNS: Implementação de MAC em RNS. (2h)

**Bloco 2: Soma e subtração aritmética**

Aula Capítulo 5: Somadores básicos e contadores. (2h)

Aula Problemas Capítulo 5 (2h)

VHDL Capítulo 5. (2h)

Aula Capítulo 6/7: Somadores *Carry-Lookahead* e outras possibilidades para Somadores de alto desempenho. (2h)

Aula Problemas Capítulo 6/7 (2h)

Aula Capítulo 8: Somadores de múltiplos operandos. (2h)

Aula Problemas Capítulo 8 (2h)

Laboratório Capítulo 8. (2h)

<sup>1</sup> Plano de ensino adaptado, em caráter excepcional e transitório, para substituição de aulas presenciais por aulas em meios digitais, enquanto durar a pandemia do novo coronavírus – COVID-19, em atenção à Resolução Normativa 140/2020/CUn.

### **Bloco 3: Multiplicação**

Aula Capítulo 9: Esquemas básicos de multiplicação. (2h)

Aula Problemas Capítulo 9 (2h)

Laboratório Capítulo 9. (2h)

Aula 10: Multiplicadores *high-radix*. (1h)

Aula Problemas 10 (1h)

Aula Capítulo 11/12: Árvores e *arrays* para multiplicação e outras possibilidades para multiplicadores. (2h)

Aula Problemas Capítulo 11/12 (2h)

Laboratório Capítulo 11/12. (2h)

### **Bloco 4: Projeto Final (6h)**

---

## **VIII. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA**

---

A metodologia para o semestre 2020.2 foi adequada para ser completamente remota devido à situação emergencial do CoVid-19. A seguir a metodologia que serão adotada na parte teórica da disciplina:

O material de apoio será disponibilizado integralmente no Moodle (slides detalhados, etc.). Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos através de questionários no Moodle conforme a escolha de formato de cada professor. O horário da aula teórica poderá ser usado para explicação de conceitos contidos no material de apoio e/ou solução de exercícios em conjunto com os alunos e/ou para responder dúvidas dos alunos. Os encontros no horário da aula acontecerão de forma on-line usando preferencialmente as ferramentas disponíveis no Moodle. Outras plataformas virtuais poderão ser usadas dependendo de questões técnicas. O aluno poderá consultar ao professor sobre quaisquer dúvidas através das ferramentas de comunicação disponíveis no Moodle ou e-mail.

Os professores, os estagiários de docência e os monitores fornecerão apoio na semana anterior ao início das aulas para preparação e ambientação dos alunos às plataformas virtuais.

---

## **IX. ATIVIDADES PRÁTICAS**

---

O material de apoio será disponibilizado integralmente no Moodle (roteiros, exercícios, etc.). Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos através de questionários no Moodle conforme a escolha de formato de cada professor. O horário da aula prática poderá ser usado para desenvolver as atividades práticas com acompanhamento do professor e/ou para solucionar dúvidas relativas a cada aula prática. Os encontros no horário da aula acontecerão de forma on-line usando preferencialmente as ferramentas disponíveis no Moodle. Outras plataformas virtuais poderão ser usadas dependendo de questões técnicas.

A parte prática da disciplina envolve criação, edição, compilação e depuração de circuitos digitais descritos em VHDL:

- Validação e simulação de arquivos VHDL usando ferramentas de software (Quartus/Modelsim)
- Acesso remoto à placa de desenvolvimento FPGA usando o software x2go e o VPN da UFSC.

Haverá um projeto para aplicar todos os conhecimentos adquiridos durante a disciplina.

---

## **X. METODOLOGIA DE AVALIAÇÃO E CONTROLE DE FREQUÊNCIA**

---

A avaliação será feita a partir dum projeto em VHDL (30%) e do desempenho nos problemas teórico-práticos (40%) e circuitos aritméticos descritos em VHDL (30%) ao longo do semestre.

$$MS = (0.3*AF + 0.4*TP + 0.3*EX)$$

onde:

**MS** = Média do Semestre

**TP** = Nota dos Trabalhos Teórico-Práticos

**AF** = Nota da Avaliação Final de projeto VHDL

---

**EX**= Exercícios de descrição de circuitos aritméticos em VHDL

A média do semestre (**MS**) é o 40% dos trabalhos teórico-práticos (**TP**), o 30% de exercícios de descrição de circuitos em VHDL (**EX**) e o 30% da avaliação final de projeto VHDL (**AF**), arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações ,25 e ,75). Os alunos com **MS** maior ou igual a **6,0** e frequência mínima nas aulas de **75%** serão aprovados.

Condições para a aprovação:

- Sem avaliação final: [frequência  $\geq$  75%] e [MS  $\geq$  6,0].

Controle de frequência:

A frequência será contabilizada com a realização por parte do aluno (independente da nota) das atividades solicitadas em cada aula teórica e prática. Não há prova de recuperação nesta disciplina.

Reposição das notas:

- Em caso de impedimento por motivos técnicos (falhas de energia, internet ou equipamentos) do aluno de ficar online no horário programado durante alguma avaliação com nota regular, ele deve entrar em contato (via e-mail ou Moodle) com o professor em no máximo 24 horas após cessar o motivo do impedimento para reagendar uma segunda tentativa.
- Nos casos previstos no regimento da graduação (Art. 74) o aluno deverá solicitar à chefia do EEL a reposição da avaliação.

---

## **XI. LEGISLAÇÃO**

Não será permitido gravar, fotografar ou copiar as aulas disponibilizadas no Moodle. O uso não autorizado de material original retirado das aulas constitui contrafação – violação de direitos autorais – conforme a Lei nº 9.610/98 – Lei de Direitos Autorais.

---

## **XI. REFERÊNCIAS**

### **BÁSICA:**

Slides do livro B. Parhami, “Computer Arithmetic - Algorithms and Hardware Designs”, Oxford University Press, 2000. Disponível em [https://web.ece.ucsb.edu/~parhami/text\\_comp\\_arit.htm](https://web.ece.ucsb.edu/~parhami/text_comp_arit.htm)

### **OUTRAS REFERÊNCIAS:**

O material de apoio disponibilizado no Moodle

---

# Cronograma

## CRONOGRAMA EEL7123 TÓPICO AVANZADO EM SISTEMAS DIGITAIS

Semana	De	Até	Materia	Materia	Horas	Teoria	Pratica	Laboratório
1	1-fev.	5-fev.	Apresentação disciplina	sem aula	2	2	0	0
2	8-fev.	12-fev.	Cap4.1	Problemas 4.1	4	2	2	0
3	15-fev.	19-fev.	feriado	Intro VHDL	2	0	0	2
4	22-fev.	26-fev.	Cap4.2	Problemas 4.2	4	2	2	0
5	1-mar.	5-mar.	Lab1_RNS	Lab2_RNS	4	0	0	4
6	8-mar.	12-mar.	Cap5	Cap5 (problemas)	4	2	2	0
7	15-mar.	19-mar.	Cap6/7	Cap6/7 (problemas)	4	2	2	4
8	22-mar.	26-mar.	feriado	VHDL Cap5	2	0	0	2
9	29-mar.	2-abr.	Cap8	Cap8 (problemas)	4	2	2	0
10	5-abr.	9-abr.	Cap9	Cap9 (problemas)	4	2	2	0
11	12-abr.	16-abr.	VHDL Cap8	VHDL Cap9	4	0	0	4
12	19-abr.	23-abr.	Cap10 (problemas)	feriado	4	1	1	0
13	26-abr.	30-abr.	Cap11/12	Cap11/12 (problemas)	4	2	2	0
14	3-mai.	7-mai.	Lab3_RNS	VHDL Cap11/12	4	0	0	4
15	10-mai.	14-mai.	Projeto	Projeto	4	0	0	4
16	17-mai.	21-mai.	Projeto	Aval. Projeto	4	0	0	4

3.1820-2

4.1820-2