



**DEPARTAMENTO:** Engenharia Elétrica e Eletrônica

**DISCIPLINA:** Circuitos e Técnicas Digitais

**CÓDIGO:** EEL 5105

**CRÉDITOS:** 05 (02 Teoria e 03 Prática)

**CARGA HORÁRIA:** 90 horas-aula

**OFERTA:**

*Ciência da Computação  
Engenharia de Controle e Automação  
Engenharia Elétrica  
Engenharia Eletrônica  
Engenharia de Produção Elétrica*

**VALIDADE:** 2020/1

**AUTORES:**

Prof. Hector Pettenghi <[hector@eel.ufsc.br](mailto:hector@eel.ufsc.br)>  
Prof. Fabian Cabrera <[fabian.cabrera.r@gmail.com](mailto:fabian.cabrera.r@gmail.com)>  
Prof. Eduardo Batista <[Eduardo.batista@ufsc.br](mailto:Eduardo.batista@ufsc.br)>  
Prof. César Rodrigues <[cesar@ieee.org](mailto:cesar@ieee.org)>  
Prof. Raimes Moraes <[raimes@eel.ufsc.br](mailto:raimes@eel.ufsc.br)>

Acesso à página da disciplina via Moodle UFSC.

**OBJETIVOS:** O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de:

1. Aprender conceitos relacionados a sistemas numéricos, álgebra de chaves e fundamentos da área de sistemas digitais.
2. Desenvolver a capacidade de análise de sistemas digitais de complexidade baixa ou média.
3. Entender metodologias de síntese de sistemas digitais de complexidade baixa ou média.
4. Projetar sistemas digitais de baixa complexidade em nível de RTL.
5. Projetar sistemas digitais usando linguagens de descrição de hardware.
6. Compreender o fluxo de ferramentas de auxílio ao projeto de sistemas digitais (simuladores, minimizadores, entre outros).
7. Conhecer dispositivos lógicos reconfiguráveis.

**EMENTA:**

Sistemas de numeração e códigos numéricos. Álgebra Booleana. Funções e portas lógicas. Portas lógicas CMOS. Síntese e otimização de circuitos lógicos. Circuitos combinacionais. Circuitos sequenciais. Máquinas de estados finitos (FSM). Relógio e temporização. Modelo bloco operativo/bloco de controle. Introdução às linguagens de descrição de hardware (HDL). Dispositivos lógicos programáveis.



## **METODOLOGIA:**

O conteúdo teórico é apresentado ao aluno a traves de aulas expositivas onde também é feito acompanhamento sobre as absorção dos conhecimentos com o apoio de questionários. Ditos conhecimentos são colocados em prática nas aulas de laboratório com o uso de FPGAs.

## **CONTEÚDO PROGRAMÁTICO:**

### **UNIDADE: 01**

#### **CONTEÚDO:** Introdução

- 1.1. Introdução aos sistemas digitais
- 1.2. Sistemas de numeração e códigos numéricos
- 1.3. Portas lógicas booleanas
- 1.4. Álgebra booleana
- 1.5. Representações de funções booleanas
- 1.6. Estrutura interna de portas lógicas e mapeamento de equações lógicas em CMOS
- 1.7. Mapas de Karnaugh
- 1.8. Ferramentas para o projeto de sistemas digitais

### **UNIDADE: 02**

#### **CONTEÚDO:** Circuitos combinacionais

- 2.1. Portas lógicas como blocos construtivos dos circuitos combinacionais
- 2.2. O processo do projeto lógico combinacional
- 2.3. Codificadores e decodificadores
- 2.4. Multiplexadores e demultiplexadores
- 2.5. Aritmética digital
- 2.6. Descrição de circuitos combinacionais usando linguagens de descrição de hardware

### **UNIDADE: 03**

#### **CONTEÚDO:** Circuitos sequenciais

- 3.1. Memória e armazenamento, latch SR, latch D, flip-flop D, outros flip-flops
- 3.2. Registradores baseados em flip-flops
- 3.3. Máquinas de estados finitos (FSM)
- 3.4. Projeto de maquinas de estados finitos
  - 3.4.1. Modelagem da FSM
  - 3.4.2. Criação da arquitetura padrão com registrador de estado
  - 3.4.3. Codificação de estados
  - 3.4.4. Tabela de estados
  - 3.4.5. Implementação da lógica combinacional de saída e próximo estado
  - 3.4.6. Características temporais
- 3.5. Descrição de circuitos sequenciais usando linguagens de descrição de hardware



**UNIDADE: 04**

**CONTEÚDO: MODELO BLOCO DE OPERATIVO/BLOCO DE CONTROLE**

**4.1 Bloco operativo**

**4.1.1 Deslocadores**

**4.1.2 Comparadores**

**4.1.3 Contadores**

**4.1.4 Unidades lógico-aritméticas (ULAs)**

**4.2 Projeto e síntese de máquinas de estados de alto nível**

**4.3 Integração entre os blocos operativo e de controle (FSM)**

**4.4 Uso de memórias para implementação de bloco de controle**

**UNIDADE: 05**

**CONTEÚDO: Tecnologias habilitadoras do projeto de sistemas digitais**

**5.1. Circuitos integrados discretos**

**5.2. Dispositivos lógicos programáveis**

**BIBLIOGRAFIA:**

• **BÁSICA:**

1. Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1a ed., Porto Alegre: Bookman, 2008 ISBN 978-85-7780-190-9. Disponível na biblioteca.
2. Eduardo Bezerra, Djones Lettnin. Synthesizable VHDL Design for FPGAs, 2014. Springer. Disponível na biblioteca.

• **COMPLEMENTAR:**

1. Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011. Disponível na biblioteca.
2. Katz, Randy H., Contemporary Logic Design, 2nd ed., Prentice Hall, 2005. Disponível na biblioteca.
3. Amaral, Acácio M. R. Eletrônica Digital. Fundamentos e Projeto. Sílabo, 2019.



**AVALIAÇÃO:**

$$\mathbf{MS} = (\mathbf{MT} + \mathbf{TP})/2$$

onde:

**MS** = Média do Semestre

**TP** = Nota do Trabalho Prático = **MINITESTES**\*0,3 + **EXERCICIOS**\*0,3 + **PROJETO\_FINAL**\*0,4

**MT** = Média da Teoria = **(P1 + P2) / 2**

**P1** = Prova 1 (teoria)

**P2** = Prova 2 (teoria)

**MINITESTES** = Média das notas nos minitests de laboratório

**EXERCICIOS** = Média das notas dos exercícios de laboratório

**PROJETO\_FINAL** = Nota do projeto prático final

A média do semestre (**MS**) é a média aritmética da nota do trabalho prático (**TP**) com a média aritmética das provas da teoria (**MT**), arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações 0,25 e 0,75). Os alunos com **MS** maior ou igual a **6,0** e frequência mínima nas aulas de **75%** serão aprovados.

Não existe prova de recuperação. A prova substitutiva é unicamente para alunos que precisarem refazer prova perdida devido à falta justificada.

Condições para a aprovação:

- **[frequência >= 75%]** e **[MS >= 6,0]**.

**CRONOGRAMAS:**

**Turmas 1208A/B/D, 2220A/B, 3235 e 8213A**

**CRONOGRAMA EEL5105 2020.1**

Semana	De	Até	TEORIA	LABORATORIO			TEORIA	LABORATORIO			TEORIA	LABORATORIO		
			1208A/3235/3202A	1208A	3235	3202A	1208DB	1208D	1208B	2220AB/8213A	2220A	2220B	8213A	
			2.1010-2	5.0910-3	2.1510-3	6.1330-3	3.1510-2	6.0910-3	5.1330-3	5.0820-2	3.1510-3	6.1620-3	3.0910-3	
1	2-mar	6-mar	sem aula	sem aula	sem aula	sem aula	sem aula	sem aula	sem aula	sem aula	Sem Aula	Sem Aula	Sem Aula	
2	9-mar	13-mar	Aula 1	Lab1	Lab1	Lab1	Aula 1	Lab1	Lab1	Aula 1	Sem Aula	Lab1	Sem Aula	
3	16-mar	20-mar	Aula 2	Lab2	Lab2	Lab2	Aula 2	Lab2	Lab2	Aula 2	Lab1	Lab2	Lab1	
4	23-mar	27-mar	Feriado	Exe1	Feriado	Exe1	Aula 3	Exe1	Exe1	Aula 3	Lab2	Exe1	Lab2	
5	30-mar	3-abr	Aula 3	sem aula	Exe1	sem aula	Aula 4	Lab3	Lab3	Aula 4	Exe1	Lab3	Exe1	
6	6-abr	10-abr	Aula 4	Lab3	Lab3	Feriado	Aula 5	Feriado	sem aula	Aula 5	Lab3	Feriado	Lab3	
7	13-abr	17-abr	Aula 5	Lab4	Lab4	Lab3	Aula 6	Lab4	Lab4	Aula 6	Lab4	Lab4	Lab4	
8	20-abr	24-abr	Feriado	Exe2	Feriado	Exe2	Feriado	Exe2	Exe2	Aula exercicios P1	Feriado	Exe2	Feriado	
9	27-abr	1-mai	Aula exercicios P1	sem aula	Exe2	Feriado	Aula exercicios P1	Feriado	sem aula	Prova 1	Exe2	Feriado	Exe2	
10	4-mai	8-mai	Prova 1	sem aula	sem aula	Exe2	Prova 1	Lab5	Lab5	Aula 7	Lab5	Lab5	Lab5	
11	11-mai	15-mai	Aula 6	Lab5	Lab5	Lab5	Aula 7	Exe3	Exe3	Aula 8	Exe3	Exe3	Exe3	
12	18-mai	22-mai	Aula 7	Exe3	Exe3	Exe3	Aula 8	Lab6	Lab6	Aula 9	Lab6	Lab6	Lab6	
13	25-mai	29-mai	Aula 8	Lab6	Lab6	Lab6	Aula 9	Lab7	Lab7	Aula 10	Lab7	Lab7	Lab7	
14	1-jun	5-jun	Aula 9	Lab7	Lab7	Lab7	Aula 10	Exe4	Exe4	Aula 11	Exe4	Exe4	Exe4	
15	8-jun	12-jun	Aula 10	Feriado	Exe4	Feriado	Aula 11	Feriado	Feriado	Feriado	Projeto	Feriado	Projeto	
16	15-jun	19-jun	Aula 11	Exe4	Projeto	Exe4	Aula exercicios P2	Projeto	Projeto	Aula exercicios P2	Projeto	Projeto	Projeto	
17	22-jun	26-jun	Aula exercicios P2	Projeto	Projeto	Projeto	Prova 2	Projeto	Projeto	Prova 2	Projeto	Projeto	Projeto	
18	29-jun	3-jul	Prova 2	Projeto	Projeto	Projeto	Prova Subst.*	Avaliação	Avaliação	Prova Subst.*	Avaliação	Avaliação	Avaliação	
19	6-jul	10-jul	Prova Subst.*	Avaliação	Avaliação	Avaliação	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	
			Prof. Fabian Cabrera	Prof. Eduardo Batista	Prof. Raimes Moraes	Prof. Fabian Cabrera	Prof. César Rodrigues	Prof. Eduardo Batista	Prof. Eduardo Batista	Prof. Héctor Pettenghi	Prof. Héctor Pettenghi	Prof. César Rodrigues	Prof. Héctor Pettenghi	

\* Prova Substitutiva unicamente para alunos que precisarem de refazer prova perdida devido a falta justificada

Observação: A programação original poderá sofrer pequenas modificações em caso de necessidade.



**CONTEÚDO DAS AULAS TEÓRICAS:**

Aula	Conteúdo
Aula 1	Introdução e Sistemas Numéricos
Aula 2	Portas Lógicas e Álgebra Booleana
Aula 3	Projeto e Mapas de Karnaugh
Aula 4	Aritmética com números binários
Aula 5	Decodificadores, multiplexadores e afins
Aula 6	<i>Latches e flip-flops</i>
Aula Exercícios P1	Exercícios de aplicação P1
Aula 7	Síntese de máquinas de estados finitos (FSM)
Aula 8	Síntese de máquinas de estados finitos (FSM)
Aula 9	Introdução ao Projeto RTL-módulos do <i>datapath</i>
Aula 10	Projeto RTL - integração <i>datapath</i> e controle
Aula 11	Memórias e aplicação a projeto RTL
Aula Exercícios P2	Exercícios de aplicação P2

Observação: A programação original poderá sofrer pequenas modificações em caso de necessidade.