

Disciplina: EEL7820 – Projeto Nível II em Área Básica: Introdução a Dispositivos Lógicos Programáveis (PLD) e VHDL

Professor: Raimes Moraes

Período: 2º semestre – 4 hs/semana

Programa:

- Introdução
- Ferramentas de software para programação de PLD's: Maxplus II;
 - Entrada de projeto em modo gráfico
 - Edição da pinagem do componente
 - Simulação
 - Entrada de projeto em modo de forma de onda
- Arquitetura de famílias de dispositivos lógicos programáveis comerciais:
Famílias MAX7000, FLEX10K;
- Linguagem VHDL
- Compilador VHDL: Synopsys FPGA Express
- Exemplos de implementações em VHDL

Avaliação:

- Desenvolvimento de projeto utilizando os conceitos e ferramentas abordadas.

Bibliografia:

ALTERA CORPORATION (1997) **MAXPLUS II: Getting Started**, EUA.

BHASKER J (1999) **VHDL Primer**, Prentice Hall, New Jersey, EUA.

LEE W F (2000) **VHDL: Coding and Logic Synthesis with Synopsys**, Academic Press, New York, EUA.

SYNOPSYS, INC. (1999) **FPGA Compiler II / FPGA Express VHDL Reference Manual**, Version 1999.05.