



**DEPARTAMENTO:** Engenharia Elétrica e Eletrônica  
**CURSO:** Engenharia Eletrônica  
**DISCIPLINA:** Tópico Avançado em sistemas Digitais  
**CÓDIGO:** EEL7123  
**CRÉDITOS:** 04  
**CARGA HORÁRIA:** 72 horas-aula  
**OFERTA:** 20 vagas

**VALIDADE:** 2019/2

**AUTORES:**

Prof. Hector Pettenghi Roldan <hector@eel.ufsc.br>

**OBJETIVOS:**

O foco da disciplina consiste na interpretação das múltiplas possibilidades para abordar uma operação aritmética (soma/subtração, multiplicação e divisão) e a escolha dependendo da aplicação alvo. Além disso serão usadas varias formas de representação numérica para a otimização dos algoritmos a ser implementados.

**EMENTA:**

Sistemas de numeração alternativos úteis no projeto de unidades aritméticas; Algoritmos e metodologias para projetar circuitos aritméticos básicos e de elevado desempenho; Aplicação de circuitos aritméticos a funcionalidades práticas; Implementação de processadores baseados em aritmética computacional usando linguagens de descrição de hardware VHDL.

**Metodologia:** A disciplina está organizada em 4 blocos, cada bloco com aulas teóricas e de laboratório de duas horas. Aulas teóricas: Após a explicação teórica e resolução de questões vou dar um problema para os alunos solucionarem na sala de aula; Aulas de laboratório: Nas primeiras aulas de laboratório os alunos vão completar códigos VHDL, e implementar na placa FPGA DE2 usando a ferramenta Quartus II, para ver a funcionalidade de algumas unidades aritméticas não convencionais e de elevado desempenho. As ultimas horas os alunos estão reservadas para os alunos implementem um projeto baseado em unidades aritméticas na FPGA e avaliação do custo em ASIC.



**Pre-requisitos:** O único pre-requisito da disciplina é ter noções bem básicas de linguagem de descrição de hardware (VHDL) mas eu vou explicar conceitos básicos de VHDL na própria aula. Os códigos que os alunos vão ter de escrever nos laboratórios são bastante simples e com as noções de VHDL adquiridos nas disciplinas da graduação é suficiente. A forma de implementar as arquiteturas vai ser por meio da descrição estrutural das arquiteturas (baixo nível) para assim fazer uma interpretação direta de um diagrama de blocos ao VHDL, e assim uma melhor compreensão dos algoritmos.

### **CONTEÚDO PROGRAMÁTICO:**

A disciplina vai seguir o livro "Computer Arithmetic: Algorithms and Hardware Designs" de B. Parhami até capítulo 12.

As aulas vão ser lecionadas em função de cada capítulo do livro da seguinte forma.

#### **Bloco 1: Representação numérica**

Apresentação/Capítulo 4: Sistemas de numeração residual. (3h)

Aula Capítulo 4: Sistemas de numeração residual. (2h)

Aula Problemas Capítulo 4 (2h)

Laboratório Intro VHDL combinacional. (2h)

Laboratório 1a: Implementação conversor binário a numeração residual. (2h)

Laboratório 1b: Implementação conversor em numeração residual a binário. (2h)

#### **Bloco 2: Soma e subtração aritmética**

Aula Capítulo 5: Somadores básicos e contadores. (2h)

Aula Problemas Capítulo 5 (2h)

Laboratório Capítulo 5. (2h)

Aula Capítulo 6/7: Somadores *Carry-Lookahead* e outras possibilidades para Somadores de alto desempenho. (2h)

Laboratório Intro VHDL sequencial. (2h)

Aula Capítulo 8: Somadores de múltiplos operandos. (2h)

Aula Problemas Capítulo 8 (2h)

Laboratório Capítulo 8. (2h)

Laboratório 2a: Implementação de somador usando numeração residual. (2h)

Laboratório 2b: Implementação de somador de alto desempenho. (2h)



### **Bloco 3: Multiplicação**

Aula Capítulo 9: Esquemas básicos de multiplicação. (2h)

Aula Problemas Capítulo 9 (2h)

Laboratório Capítulo 9. (2h)

Aula 10: Multiplicadores *high-radix* e Problemas. (2h)

Laboratório Cap10. (2h)

Aula extra de VHDL (2h)

Aula Capítulo 11/12: Árvores e *arrays* para multiplicação e outras possibilidades para multiplicadores. (2h)

Aula Problemas Capítulo 11/12 (2h)

Laboratório Capítulo 11/12. (2h)

Laboratório 3a: Implementação de multiplicador usando numeração residual. (2h)

Laboratório 3b: Implementação de multiplicador de alto desempenho. (2h)

Resumo e Aritmética real: Representação e operações em virgula flutuante. (2h)

### **Bloco 4: Projeto Final (17h)**

#### **BIBLIOGRAFIA:**

##### **• BÁSICA:**

- B. Parhami , “Computer Arithmetic - Algorithms and Hardware Designs”, Oxford University Press, 2000.

##### **• COMPLEMENTAR:**

- Koren , “Computer Arithmetic Algorithms, 2nd Edition”, A.K. Peters, Natick, MA, 2002.
- M. Vlăduțiu, “Computer Arithmetic: Algorithms and Hardware Implementations”, Springer, 2012.
- G. Arroz, J. Monteiro, and A. Oliveira, “Introdução aos Sistemas Digitais e Microprocessadores”, IST Press, 2006.
- M. D. Ercegovac, T. Lang, “Digital Arithmetic”, Elsevier Science, 2003.



**AVALIAÇÃO:** A avaliação será feita a partir dum projeto em VHDL (30%) e do desempenho nos problemas teórico-práticos (40%) e circuitos aritméticos descritos em VHDL (30%) ao longo do semestre.

$$\mathbf{MS} = (0.3 \cdot \mathbf{AF} + 0.4 \cdot \mathbf{TP} + 0.3 \cdot \mathbf{EX})$$

onde:

**MS** = Média do Semestre

**TP** = Nota dos Trabalhos Teórico-Práticos

**AF** = Nota da Avaliação Final de projeto VHDL

**EX** = Exercícios de descrição de circuitos aritméticos em VHDL

A média do semestre (**MS**) é o 40% dos trabalhos teórico-práticos (**TP**), o 30% de exercícios de descrição de circuitos em VHDL (**EX**) e o 30% da avaliação final de projeto VHDL (**AF**), arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações ,25 e ,75). Os alunos com **MS** maior ou igual a **6,0** e frequência mínima nas aulas de **75%** serão aprovados.

Condições para a aprovação:

- Sem avaliação final: [frequência  $\geq 75\%$ ] e [ $MS \geq 6,0$ ].



**CRONOGRAMA:**

**CRONOGRAMA EEL7123 TÓPICO AVANZADO EM SISTEMAS DIGITAIS**

Semana	De	Até	Materia	Materia	Horas	Teoria	Pratica	Laboratório
1	5-ago	9-ago	Apresentação (1 hora)	Intro VHDL	3	3	0	0
2	12-ago	16-ago	Cap4	Cap4	4	2	2	0
3	19-ago	23-ago	Cap4 (problemas)	Cap5	4	2	2	0
4	26-ago	30-ago	Cap5 (problemas)	VHDL Cap5	4	0	0	4
5	2-set	6-set	Lab1a	VHDL	4	0	0	4
6	9-set	13-set	Cap6/7 e (problemas)	Lab1b	4	2	0	2
7	16-set	20-set	Lab2a	Lab2b	4	0	0	4
8	23-set	27-set	Cap8	Cap8 (problemas)	4	2	2	0
9	30-set	4-out	Cap9	Cap9 (problemas)	4	2	2	0
10	7-out	11-out	VHDL Cap8	VHDL Cap9	4	0	0	4
11	14-out	18-out	Cap10 (problemas)	VHDL Cap10	4	2	0	2
12	21-out	25-out	Cap11/12	Cap11/12 (problemas)	4	2	2	0
13	28-out	1-nov	Lab3a	VHDL	4	0	4	4
14	4-nov	8-nov	VHDL	VHDL Cap11/12	4	0	4	2
15	11-nov	15-nov	Projeto	Projeto	6	0	0	6
16	18-nov	22-nov	Projeto	Projeto	6	0	0	6
17	25-nov	29-nov	Projeto	Aval. Projeto	5	0	0	5
18	1-dez	6-dez	sem aula	sem aula	0	0	0	0
			<b>3.1830-2</b>	<b>4.1830-2</b>				

\* As aulas de projeto (indicadas em verde) serão de 3 horas 3.1800-3 e 3.1800-3