



DEPARTAMENTO: Engenharia Elétrica e Eletrônica

DISCIPLINA: Circuitos e Técnicas Digitais

CÓDIGO: EEL 5105

CRÉDITOS: 05 (02 Teoria e 03 Prática)

CARGA HORÁRIA: 90 horas-aula

OFERTA:

*Ciência da Computação
Engenharia de Controle e Automação
Engenharia Elétrica
Engenharia Eletrônica
Engenharia de Produção Elétrica*

VALIDADE: 2019/2

AUTORES:

Prof. Hector Roldan <hector@eel.ufsc.br>
Prof. Fabian Cabrera <fabian.cabrera.r@gmail.com>
Prof. Eduardo Augusto Bezerra <bezerra.rs@gmail.com>
Prof. César Rodrigues <cesar@ieee.org>
Prof. Lenon Schmitz <lenonsch@gmail.com>

Acesso à página da disciplina via Moodle UFSC.

OBJETIVOS: O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de:

1. Aprender conceitos relacionados a sistemas numéricos, álgebra de chaves e fundamentos da área de sistemas digitais.
2. Desenvolver a capacidade de análise de sistemas digitais de complexidade baixa ou média.
3. Entender metodologias de síntese de sistemas digitais de complexidade baixa ou média.
4. Projetar sistemas digitais de baixa complexidade em nível de RTL.
5. Projetar sistemas digitais usando linguagens de descrição de hardware.
6. Compreender o fluxo de ferramentas de auxílio ao projeto de sistemas digitais (simuladores, minimizadores, entre outros).
7. Conhecer dispositivos lógicos reconfiguráveis.

EMENTA:

Sistemas de numeração e códigos numéricos. Álgebra Booleana. Funções e portas lógicas. Portas lógicas CMOS. Síntese e otimização de circuitos lógicos. Circuitos combinacionais. Circuitos sequenciais. Máquinas de estados finitos (FSM). Relógio e temporização. Modelo bloco operativo/bloco de controle. Introdução às linguagens de descrição de hardware (HDL). Dispositivos lógicos programáveis.



CONTEÚDO PROGRAMÁTICO:

UNIDADE: 01

CONTEÚDO: Introdução

- 1.1. Introdução aos sistemas digitais
- 1.2. Sistemas de numeração e códigos numéricos
- 1.3. Portas lógicas booleanas
- 1.4. Álgebra booleana
- 1.5. Representações de funções booleanas
- 1.6. Estrutura interna de portas lógicas e mapeamento de equações lógicas em CMOS
- 1.7. Mapas de Karnaugh
- 1.8. Ferramentas para o projeto de sistemas digitais

UNIDADE: 02

CONTEÚDO: Circuitos combinacionais

- 2.1. Portas lógicas como blocos construtivos dos circuitos combinacionais
- 2.2. O processo do projeto lógico combinacional
- 2.3. Codificadores e decodificadores
- 2.4. Multiplexadores e demultiplexadores
- 2.5. Aritmética digital
- 2.6. Descrição de circuitos combinacionais usando linguagens de descrição de hardware

UNIDADE: 03

CONTEÚDO: Circuitos sequenciais

- 3.1. Memória e armazenamento, latch SR, latch D, flip-flop D, outros flip-flops
- 3.2. Registradores baseados em flip-flops
- 3.3. Máquinas de estados finitos (FSM)
- 3.4. Projeto de máquinas de estados finitos
 - 3.4.1. Modelagem da FSM
 - 3.4.2. Criação da arquitetura padrão com registrador de estado
 - 3.4.3. Codificação de estados
 - 3.4.4. Tabela de estados
 - 3.4.5. Implementação da lógica combinacional de saída e próximo estado
 - 3.4.6. Características temporais
- 3.5. Descrição de circuitos sequenciais usando linguagens de descrição de hardware



UNIDADE: 04

CONTEÚDO: MODELO BLOCO DE OPERATIVO/BLOCO DE CONTROLE

4.1 Bloco operativo

4.1.1 Deslocadores

4.1.2 Comparadores

4.1.3 Contadores

4.1.4 Unidades lógico-aritméticas (ULAs)

4.2 Projeto e síntese de máquinas de estados de alto nível

4.3 Integração entre os blocos operativo e de controle (FSM)

UNIDADE: 05

CONTEÚDO: Tecnologias habilitadoras do projeto de sistemas digitais

5.1. Circuitos integrados discretos

5.2. Dispositivos lógicos programáveis

BIBLIOGRAFIA:

• **BÁSICA:**

1. Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1a ed., Porto Alegre: Bookman, 2008 ISBN 978-85-7780-190-9. Disponível na biblioteca: http://bookman.com.br/WEB-PRODUTOS/produto_detalhe.aspx?id_produto=2414
2. Eduardo Bezerra, Djones Lettnin. Synthesizable VHDL Design for FPGAs, 2014. Springer. Disponível na biblioteca.

• **COMPLEMENTAR:**

1. Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011. Disponível na biblioteca.
2. Katz, Randy H., Contemporary Logic Design, 2nd ed., Prentice Hall, 2005. Disponível na biblioteca.



AVALIAÇÃO:

$$\mathbf{MS} = (\mathbf{MT} + \mathbf{TP})/2$$

onde:

MS = Média do Semestre

TP = Nota do Trabalho Prático = **MINITESTES***0,3 + **EXERCICIOS***0,3 + **PROJETO_FINAL***0,4

MT = Média da Teoria = (**P1** + **P2**) / 2

P1 = Prova 1 (teoria)

P2 = Prova 2 (teoria)

MINITESTES = Média das notas nos minitests de laboratório

EXERCICIOS = Média das notas dos exercícios de laboratório

PROJETO_FINAL = Nota do projeto prático final

A média do semestre (**MS**) é a média aritmética da nota do trabalho prático (**TP**) com a média aritmética das provas da teoria (**MT**), arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações 0,25 e 0,75). Os alunos com **MS** maior ou igual a **6,0** e frequência mínima nas aulas de **75%** serão aprovados.

Condições para a aprovação:

- [**frequência** >= 75%] e [**MS** >= 6,0].

CRONOGRAMAS:

Turmas 1208A/B/D, 2220A/B, 3235 e 8213A

CRONOGRAMA EEL5105 2019.2

Semana	De	Até	TEORIA	LABORATORIO			TEORIA	LABORATORIO			TEORIA	LABORATORIO		
			1208A/3235/3202A 2.1010-2	1208A 5.0910-3	3235 2.1510-3	3202A 6.1330-3	1208DB 3.1510-2	1208D 6.0910-3	1208B 5.1330-3	2220AB/8213A 5.0820-2	2220A 3.1510-3	2220B 6.1620-3	8213A 3.0910-3	
1	5-ago	9-ago	Aula 1	Sem Aula	Sem Aula	Lab1	Aula 1	Sem Aula	Sem Aula	Aula 1	Sem Aula	Sem Aula	Sem Aula	
2	12-ago	16-ago	Aula 2	Lab1	Lab1	Lab2	Aula 2	Lab1	Lab1	Aula 2	Lab1	Lab1	Lab1	
3	19-ago	23-ago	Aula 3	Lab2	Lab2	Exe1	Aula 3	Lab2	Lab2	Aula 3	Lab2	Lab2	Lab2	
4	26-ago	30-ago	Aula 4	Exe1	Exe1	Sem Aula	Aula 4	Exe1	Exe1	Aula 4	Exe1	Exe1	Exe1	
5	2-set	6-set	Aula 5	Lab3	Lab3	Lab3	Aula 5	Lab3	Lab3	Aula 5	Lab3	Lab3	Lab3	
6	9-set	13-set	Aula 6	Lab4	Lab4	Lab4	Aula 6	Lab4	Lab4	Aula 6	Lab4	Lab4	Lab4	
7	16-set	20-set	Prova 1	Exe2	Exe2	Exe2	Prova 1	Exe2	Exe2	Prova 1	Exe2	Exe2	Exe2	
8	23-set	27-set	Aula 7	Lab5	Lab5	Lab5	Aula 7	Lab5	Lab5	Aula 7	Sem Aula	Lab5	Sem Aula	
9	30-set	4-out	Aula 8	Exe3	Exe3	Exe3	Aula 8	Exe3	Exe3	Aula 8	Lab5	Exe3	Lab5	
10	7-out	11-out	Aula 9	Lab6	Lab6	Lab6	Aula 9	Lab6	Lab6	Aula 9	Exe3	Lab6	Exe3	
11	14-out	18-out	Aula 10	Lab7	Lab7	Lab7	Aula 10	Lab7	Lab7	Aula 10	Lab6	Lab7	Lab6	
12	21-out	25-out	Aula 11	Exe4	Exe4	Exe4	Aula 11	Exe4	Exe4	Aula 11	Lab7	Exe4	Lab7	
13	28-out	1-nov	Feriado	Sem Aula	Feriado	Projeto	Aula 12	Projeto	Sem Aula	Aula 12	Exe4	Projeto	Exe4	
14	4-nov	8-nov	Aula 12	Projeto	Projeto	Projeto	Aula 13	Projeto	Projeto	Aula 13	Projeto	Projeto	Projeto	
15	11-nov	15-nov	Aula 13	Projeto	Projeto	Feriado	Problemas	Feriado	Projeto	Problemas	Projeto	Feriado	Projeto	
16	18-nov	22-nov	Prova 2	Projeto	Projeto	Projeto	Prova 2	Projeto	Projeto	Prova 2	Projeto	Projeto	Projeto	
17	25-nov	29-nov	Prova Subst.*	Avaliação	Avaliação	Avaliação	Prova Subst.*	Avaliação	Avaliação	Prova Subst.*	Avaliação	Avaliação	Avaliação	
18	2-dez	6-dez	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	
			Prof. Fabian Cabrera	Prof. Lenon Schmitz	Prof. César Rodrigues	Prof. Fabian Cabrera	Prof. César Rodrigues	Prof. Lenon Schmitz	Prof. Eduardo Bezerra	Prof. Héctor Pettenghi	Prof. Eduardo Bezerra	Prof. Lenon Schmitz	Prof. Héctor Pettenghi	

* Prova Substitutiva unicamente para alunos que precisarem de refazer prova perdida devido a falta justificada

Observação: A programação original poderá sofrer pequenas modificações em caso de necessidade.



CONTEÚDO DAS AULAS TEÓRICAS:

Aula	Conteúdo
Aula 1	Introdução e Sistemas Numéricos
Aula 2	Portas Lógicas e Álgebra Booleana
Aula 3	Projeto e Mapas de Karnaugh
Aula 4	Aritmética com números binários
Aula 5	Decodificadores, multiplexadores e afins
Aula 6	Tecnologia CMOS
Aula 7	<i>Latches e flip-flops</i>
Aula 8	Síntese de máquinas de estados finitos (FSM)
Aula 9	Síntese de máquinas de estados finitos (FSM)
Aula 10	Introdução ao Projeto RTL
Aula 11	Projeto RTL - módulos do <i>datapath</i>
Aula 12	Projeto RTL - integração <i>datapath</i> e controle
Aula 13	Temporização